

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-171768

(43)Date of publication of application : 25.07.1991

(51)Int.Cl.

H01L 27/108

G11C 11/401

(21)Application number : 01-311386

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1989

(72)Inventor : SAKUI YASUSHI

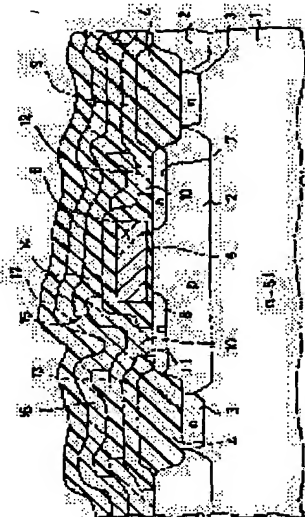
(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To acquire a semiconductor memory device which enables high integration without using a parasitic transistor by forming a storage node by a well using a single well-isolated MOS transistor as a memory cell.

CONSTITUTION: A p-type well 2 is formed in each memory cell formation region of an n-type silicon substrate 1 through ion implantation of boron. A gate electrode 6 is formed in each p-type well 2 by a polycrystalline silicon film through a gate insulating film 5. Arsenic is ion-implanted using the gate electrode 6 as a mask to form an n-type source layer 7 and a drain layer 8. In the memory cell, the p-type well 2 which is formed for each MOS transistor is a storage node.

Difference in threshold value voltage of a MOS transistor in accordance with difference in electric potential of the p-type well 2 in floating state is made to correspond to information '0', '1'. Write of information '1' is carried out by causing impact ionization near a drain and by charging the well 2 by a hole generated then.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-171768

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月25日

H 01 L 27/108
G 11 C 11/401

8624-5F H 01 L 27/10 3 2 1
8323-5B G 11 C 11/34 3 6 2 B

審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑰ 特 願 平1-311386

⑱ 出 願 平1(1989)11月30日

⑲ 発 明 者 作 井 康 司 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) それぞれ分離された第1導電型ウェルに形成されてマトリクス配列され、ウェル電位の相違によるしきい値電圧の相違を二値情報の“0”、“1”に対応させて記憶する複数の第2導電チャネルMOSトランジスタと、

前記複数のMOSトランジスタのゲート電極がその配列の一方向に沿って共通接続された複数のワード線と、

前記複数のMOSトランジスタのドレインがその配列の前記ワード線と交差する方向に沿って共通接続された複数のビット線と、

前記複数のMOSトランジスタのソースが前記ワード線方向またはビット線方向に沿って共通接続された複数の制御線と、

を備えたことを特徴とする半導体記憶装置。

(2) 前記MOSトランジスタが形成されたウェ

ルはフローティング状態に保たれ、MOSトランジスタのドレイン近傍でインパクトイオン化を起こし、このとき流れる基板電流によりウェルを充電することによって“1”書き込みが行われる請求項1記載の半導体記憶装置。

(3) 前記MOSトランジスタが形成されたウェルはフローティング状態に保たれ、ウェルとソース間の過渡的な順方向電流によってウェルを放電することにより“0”書き込みが行われる請求項1記載の半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、一個のMOSトランジスタによりメモリセルを構成した半導体記憶装置に関する。

(従来の技術)

現在実用されている半導体記憶装置のうち、最も高集積化が進んでいるのは、一個のMOSトランジスタと一個のキャパシタによりメモリセルを構成するDRAMである。

これに対して、一個のMOSトランジスタのみで一個のメモリセルを構成するDRAMが提案されている(P. K. Chatterjee et al. "Circuit Optimization of the Taper Isolated Dynamic Gain RAM Cell for VLSI Memories" ISSCC '79, p.22)。このメモリセルは、埋込みチャネル構造のMOSトランジスタを用いて構成される。その動作原理は、素子分離絶縁膜のテーパ部に形成される寄生トランジスタを用いて表面反転層の充電、放電を行うことにより、“1”、“0”の情報記憶を行うものである。

しかしこのメモリセルは、寄生トランジスタを蓄込み用トランジスタとして用いるため、等価回路的には二個のMOSトランジスタにより構成していることになる。そして寄生トランジスタを用いていることから、特性の制御が難しく、例えば特性上は“0”蓄込みの選択性が悪いといったことが指摘されている(黒澤他、“T1セルにおける情報書き込み機構の解析”昭和58年度電子通信

学会総合全国大会 589)。またテーパ部の寄生トランジスタを利用する事から、集積度を向上させることも難しい。

(発明が解決しようとする課題)

以上のように従来提案されている一個のMOSトランジスタによりメモリセルを構成するものは、寄生トランジスタを利用しているために、特性の制御性や集積度の点で問題がある。

本発明は、このような問題を解決し得る新しい動作原理による半導体記憶装置を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明による半導体記憶装置は、第1導電型ウェルに形成された第2導電チャネルMOSトランジスタをメモリセルとして用いる。このメモリセルは、フローティング状態に保ったウェルを記憶ノードとして、ウェルの充放電による電位の相違によるしきい値電圧の相違を二値情報の“0”、“1”に対応させて記憶する。情報“1”蓄込み

は、ウェルに形成されたMOSトランジスタのドレイン近傍でインパクトイオン化を起こさせ、このとき発生するキャリアのうちウェルにとっての多数キャリアにより記憶ノードであるウェルを充電することにより、行われる。“0”蓄込みは、ウェルとソースとの間の過渡的な順方向電流によりウェルを放電することにより行われる。読出し動作は、しきい値電圧の相違を利用してMOSトランジスタのドレイン・ソース間の電流の差を判定することにより行われる。

(作用)

本発明によれば、ウェルを記憶ノードとして用いる新しい原理のDRAMセルが得られる。蓄込みに寄生トランジスタを用いることはなく、したがって特性の制御性にも優れており、高集積化も可能である。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図(a)(b)は、一実施例のメモリセルア

レイを示す平面図とそのX-X'断面図である。n型シリコン基板1の各メモリセル形成領域にはボロンのイオン注入によりp型ウェル2が形成されている。各メモリセル間はフィールド酸化膜4とその下に砒素のイオン注入により形成されたn型層3により分離されている。各p型ウェル2には、ゲート絶縁膜5を介して多結晶シリコン膜によりゲート電極6が形成され、このゲート電極6をマスクとして砒素をイオン注入してn型ソース層7およびドレイン層8が形成されている。ゲート電極6は、一方向に並ぶ複数のMOSトランジスタについて連続的に配設されて、ワード線WLとなる。ワード線が形成された基板面は第1の層間絶縁膜9で覆われ、これにコンタクト孔10、11が開けられて、第1層間膜によりソース電極12、ドレイン電極13が形成されている。ソース電極12はワード線WLと同じ方向に複数のメモリセルについて連続的に配設されて、これは制御線Jとなる。ドレイン電極13は各メモリセル毎に独立であり、これは後に形成されるビット

線につながる中絶電極である。その後全面が第2の層間絶縁膜14で覆われ、これにコンタクト孔が開けられて、第2層A2膜によってビット線(BL)16が形成されている。ビット線16は、ワード線とは交差する方向の複数のメモリセルのドレイン電極13を共通接続するように連続的に配設されている。最後に全面は保護膜17により覆われている。

このメモリセルアレイは、通常のCMOS構造の集積回路でのnチャネルMOSトランジスタの製造工程と変わらない工程によって得られる。なお、ゲート電極下にしきい値制御のため例えばボロン等のイオン注入を行ってもよい。またゲート電極6は、多結晶シリコン膜の他、金属シリサイドやポリサイド、或いはこれらの組み合わせを用いることもできる。

第2図は、このメモリセルアレイの等価回路を4ビット分について示している。

この実施例によるメモリセルは、各MOSトランジスタ毎に形成されたp型ウェル2が記憶ノー

ドであって、このp型ウェル2のフローティング状態での電位の相違によってMOSトランジスタのしきい値電圧が相違することを情報“0”、

“1”に対応させる。情報“1”の書き込みには、ドレイン近傍でインバクティオン化を起こさせ、このとき発生する電子、正孔のうち正孔によりウェル2を充電することで行う。この書き込み動作では、第3図に示すように、MOSトランジスタの基板バイアスが V_{BS1} から V_{BS0} へと深くなると($|V_{BS0} - V_{SS}| > |V_{BS1} - V_{SS}|$)、しきい値電圧が上昇し、これによって同一ゲート電圧における基板電流 I_B に大きい差が生じるという特性を利用する。すなわち正孔電流によってウェル電位が上昇するとしきい値電圧は低下してますます基板電流が上昇するという正帰還がかかり、これによってウェル電位は、ソース電位を V_{SS} としたとき、pn接合のビルトインポテンシャル ϕ_B まで上昇する。情報“0”書き込みは、制御線12に負電位を与えてソース側のpn接合を瞬間的に順方向バイアス状態として、p型ウェル2を

強制的に放電させることにより行う。情報読出しは、電流読出しによる。すなわち所定のゲートバイアスを印加して、しきい値の差によるソースからドレインへのチャネル電流の大小によって、ビット線が充電される電位の差を判別する。

より具体的にこの実施例のメモリセルの読出しおよび再書き込みの動作サイクルを説明する。

第4図は、情報“0”の読出し、再書き込みの動作を示すタイミング図であり、第5図(a)～(f)はその各タイミングでのメモリセルの電位関係である。第6図は、情報“1”の読出し、再書き込みの動作を示すタイミング図であり、第7図(a)～(h)はその各タイミングでのメモリセルの電位関係である。

読出し直前の時刻 t_a では、ワード線電位が $V_{WL} = V_{SS}$ 、ビット線電位が $V_{BL} = V_{SS}$ 、制御線電位が $V_G = (1/2)V_{CC}$ であり、このとき情報“1”のメモリセルではp型ウェルの電位は $V_{WELL} = \phi_B$ (pn接合のビルトインポテンシャル)、情報“0”のメモリセルでは同じく V_{WELL}

$= (1/2)V_{CC} + \phi_B$ である(第5図(a)、第7図(a))。ワード線が選択されると選択ワード線電位は $V_{WL} = (1/2)V_{CC} + V_{TH1}$ となる。 V_{TH1} は、“1”状態のメモリセルのしきい値電圧である。このとき(時刻 t_b)、しきい値電圧の差によって“1”状態のメモリセルでは制御線電位がしきい値電圧の降下なくビット線まで伝達されて、 $V_{BL} = (1/2)V_{CC}$ まで上昇し、“0”状態のメモリセルではビット線の電位上昇は、 $V_{BL} = (1/2)V_{CC} + V_{TH1} - V_{TH0}$ に止まる(第5図(b)、第7図(b))。 V_{TH0} は“0”状態のメモリセルのしきい値電圧である。このとき、ビット線センスアンプがダイナミック型フリップフロップである場合には、ビット線をフローティングとして、その電位変化をセンスアンプで検出する。ビット線センスアンプとしてカレントミラー型差動増幅器を用いる場合には、ビット線をフローティングにする必要はない。以上により、読出し動作は完了する。

次に選択されたワード線が V_{SS} まで低下して再

書き込みサイクルに入る(時刻 t_c)。ビット線はこの時点までに、“1”読出しが行われた場合は V_{cc} 、“0”読出しが行われた場合は V_{ss} に安定している(第5図(c)、第7図(c))。再書き込みはまず、制御線の電位が $V_J = -(1/2)V_{cc}$ となり、これによりすべてのメモリセルのp型ウェルが、 $V_{WELL} = -(1/2)V_{cc} + \phi_B$ となる。すなわちすべてのメモリセルはソースのpn接合で過渡的に順方向電流が流れて、一旦“0”書き込み(クリア)がなされる。これが時刻 t_d の状態である(第5図(d)、第7図(d))。次いで制御線の電位は $V_J = V_{ss}$ となり(時刻 t_e 、第5図(e)、第7図(e))、その後選択ワード線が $V_{WL} = (1/2)V_{cc} + V_{TH1}$ まで上昇する。これにより、“1”が再書き込みされるメモリセルでは、MOSトランジスタのゲート・ソース間電圧が $(1/2)V_{cc} + V_{TH1}$ 、ドレイン・ソース間電圧が V_{cc} となり、ドレイン近傍でインパクトイオン化が生じて電子・正孔対が生成される。発生した電子はドレインに吸収され、正孔はp型ウ

ェル内に拡散してその電位を上昇させる。p型ウェル電位 V_{WELL} が上昇すると、しきい値電圧が低下するため一層基板電流が増大するという正帰還がかかり、やがて $V_{WELL} = \phi_B$ まで充電される(時刻 t_f 、第5図(f))。一方、“0”の再書き込みがなされるメモリセルでは、ドレイン・ソース間電圧は0Vであり、ゲート・ソース間電圧は $(1/2)V_{cc} + V_{TH1}$ であるため、3極管動作領域にあってインパクトイオン化による基板電流は流れず、ウェル電位は $V_{WELL} = -(1/2)V_{cc} + \phi_B$ に保たれる(時刻 t_f 、第7図(f))。その後制御線電位は $V_J = (1/2)V_{cc}$ まで戻る(時刻 t_g 、第5図(g)、第7図(g))。そして選択ワード線の電位が $V_{WL} = V_{ss}$ に戻って非選択状態となり(時刻 t_h 、第5図(h)、第7図(h))、“1”の再書き込みがなされたビット線が V_{ss} に放電されて、再書き込みサイクルは終了する(時刻 t_i 、第7図(i))。

こうしてこの実施例によれば、それぞれp型ウェルに形成されたnチャネルMOSトランジスタ

をメモリセルとして、p型ウェルを記憶ノードとした新しい動作原理のメモリを実現することができる。このメモリセルは、書き込み動作に寄生トランジスタを用いないから、特性の制御性に優れている。また高集積化も可能である。

本発明は上記実施例に限られない。

たとえば、素子分離はLOCOS法によらず、溝を掘ってCVDによる絶縁膜を埋め込む方法によってもよい。その場合のメモリセルアレイの構造を第1図(a)(b)に対応させて第8図(a)(b)に示す。

また上記実施例では、制御線Jをワード線WLと平行に配設したが、第9図に示すようにこれをビット線BLと平行に配設することもできる。

さらにメモリセルを構成するMOSトランジスタの構造として、第10図に示すような所謂LDD構造を採用することもできる。

また図には示さないが、導電型をすべて逆にしてpチャネルMOSトランジスタを用いても同様のメモリが実現できる。

〔発明の効果〕

以上説明したように本発明によれば、ウェル分離された一個のMOSトランジスタをメモリセルとしてウェルを記憶ノードとする新しい動作原理の高集積化可能な半導体記憶装置が得られる。

4. 図面の簡単な説明

第1図(a)(b)は、本発明の一実施例のメモリセルアレイの構造を示す平面図とそのX-X'断面図、

第2図はそのメモリセルアレイの等価回路図、

第3図はそのメモリセルの動作原理を説明するための基板電流の基板バイアス依存性を示す図、

第4図は同じく“1”読出しと再書き込みサイクルを説明するためのタイミング図、

第5図(a)～(i)はその各タイミングにおけるメモリセルの電位関係を示す図、

第6図は同じく“0”読出しと再書き込みサイクルを説明するためのタイミング図、

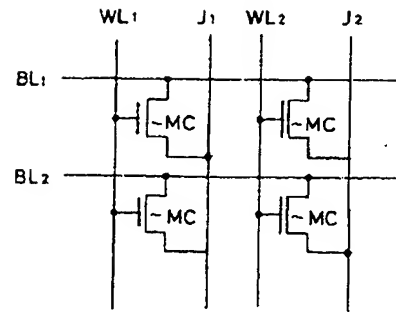
第7図(a)～(h)はその各タイミングにおけるメモリセルの電位関係を示す図、

第8図(a)(b)は他の実施例のメモリセルアレイの構造を示す平面図とそのX-X'断面図、

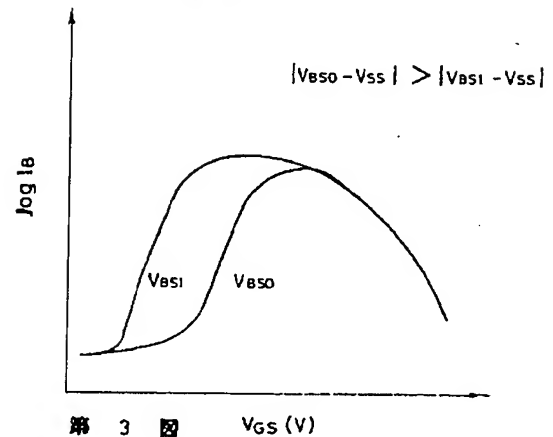
第9図は他の実施例のメモリセルアレイの等価回路図、

第10図は他の実施例のメモリセル構造を示す断面図である。

1…n型シリコン基板、2…p型ウェル、3…n型層、4…フィールド酸化膜、5…ゲート絶縁膜、6…ゲート電極(ワード線)、7…n型ソース層、8…n型ドレイン層、9…第1の層間絶縁膜、10、11…コンタクト孔、12…ソース電極(制御線)、13…ドレイン電極、14…第2の層間絶縁膜、15…コンタクト孔、16…ビット線、17…保護膜、MC…メモリセル、BL…ビット線、WL…ワード線、J…制御線。

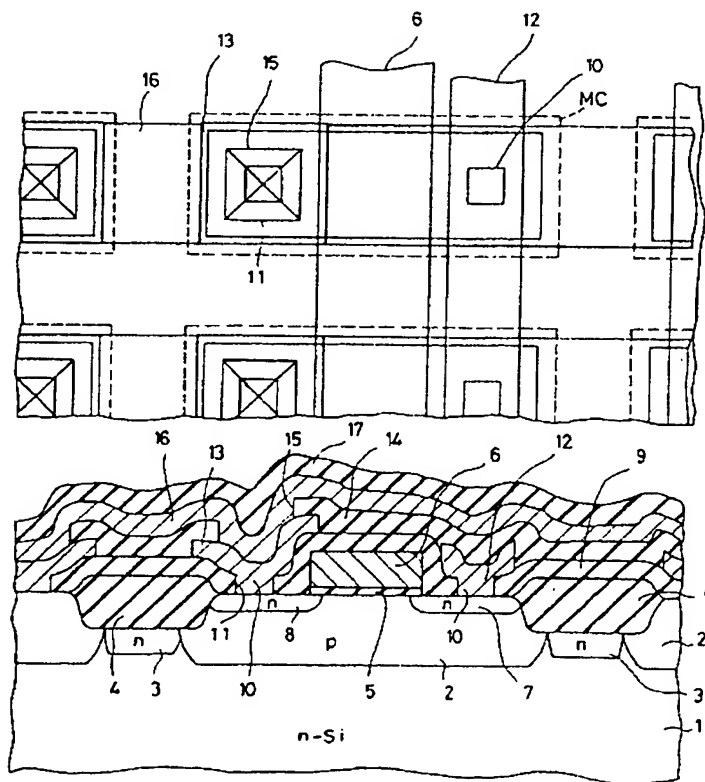


第2図

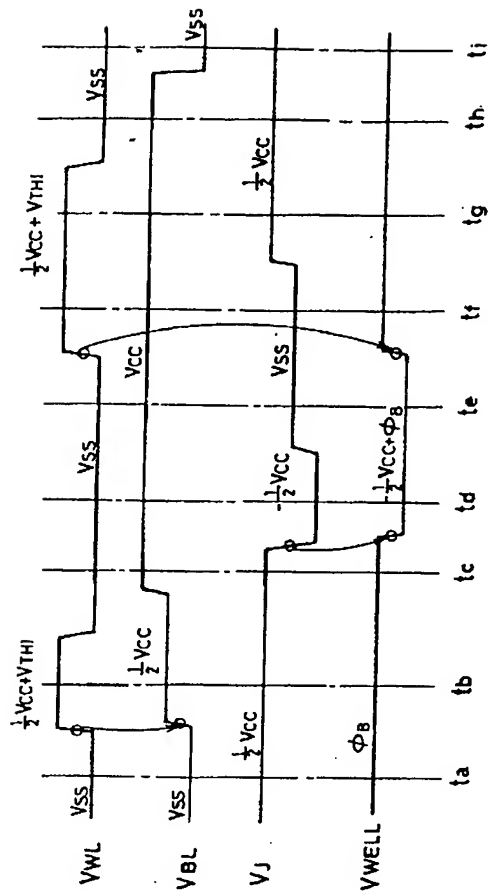


第3図

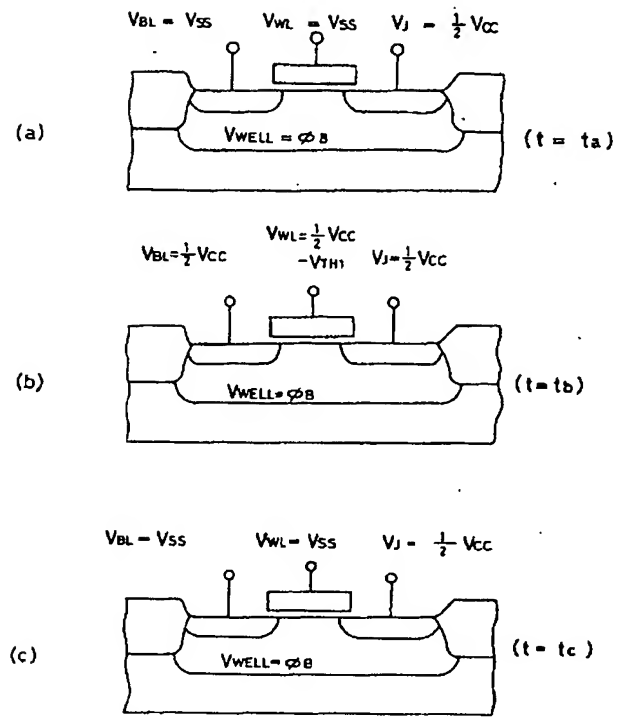
出願人代理人 弁理士 鈴江武彦



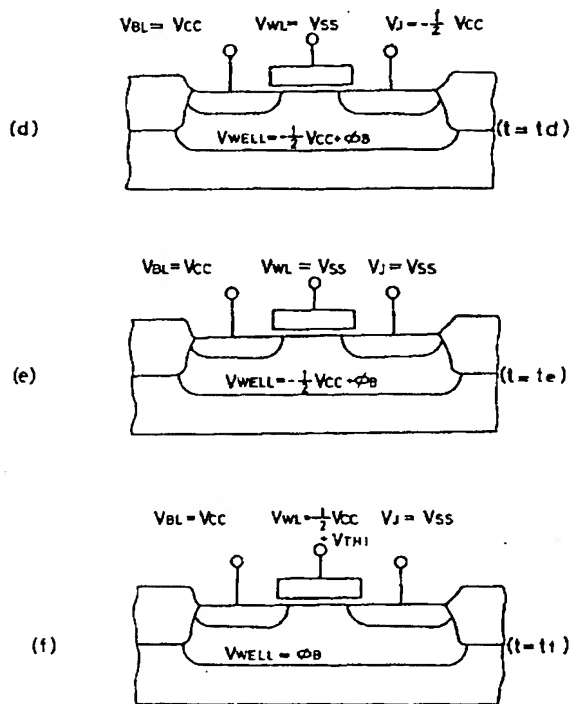
第1図



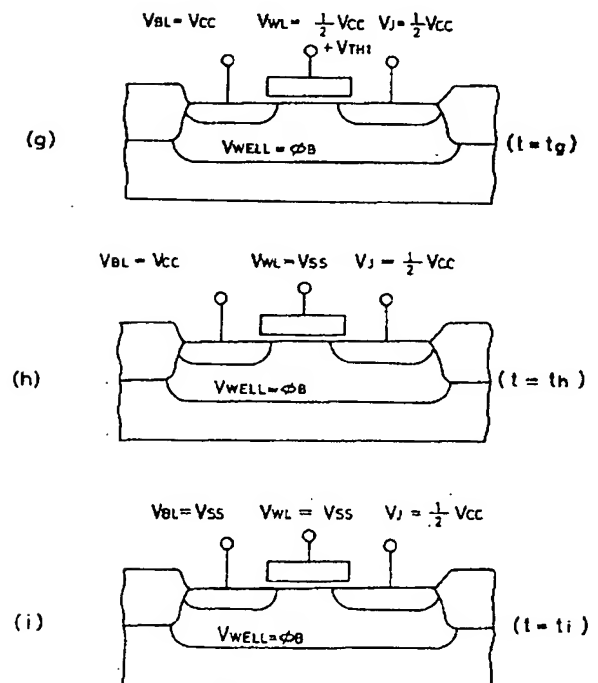
第 4 圖



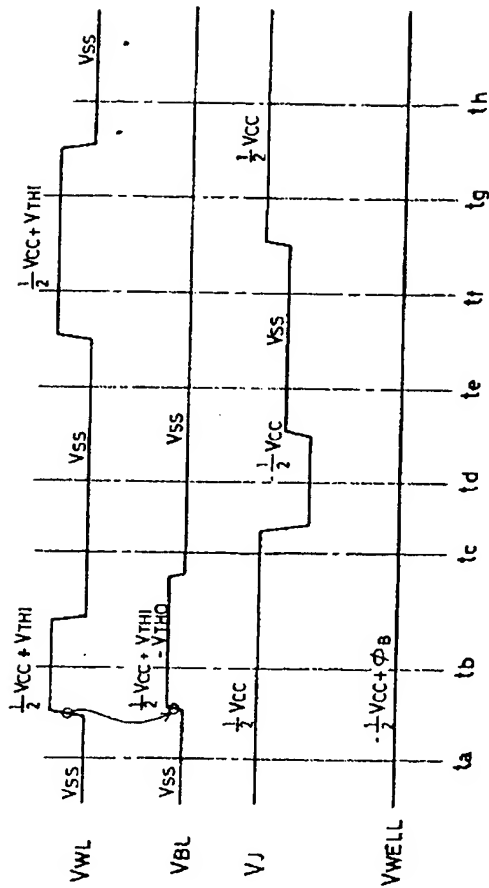
第 5 圖



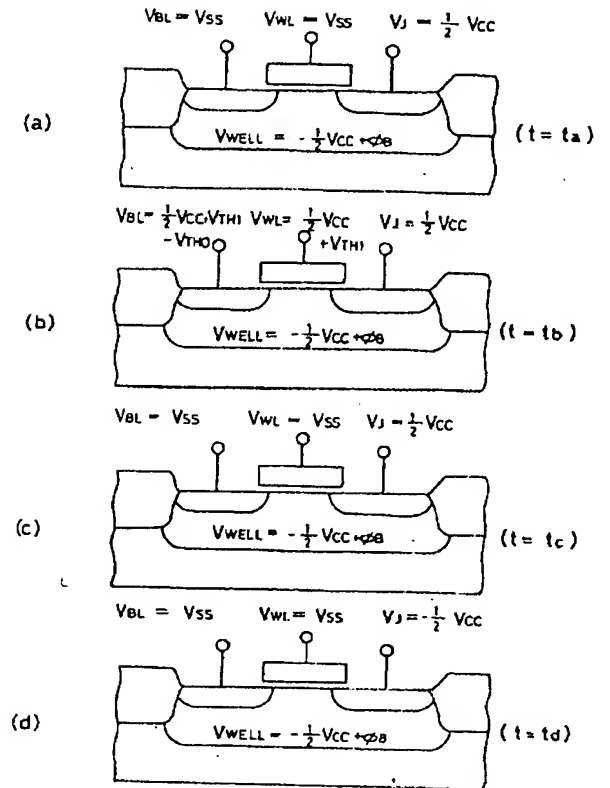
第 5 圖



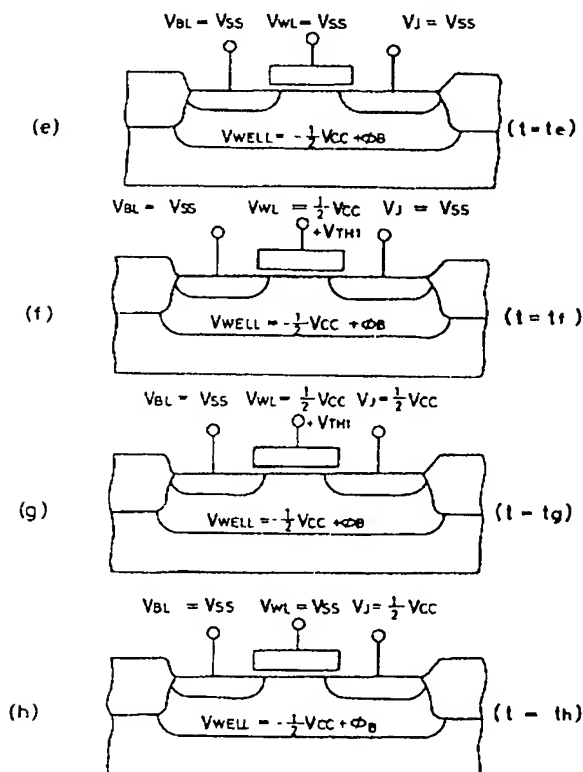
第 5 圖



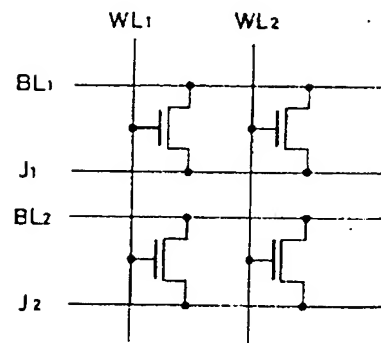
第 6 図



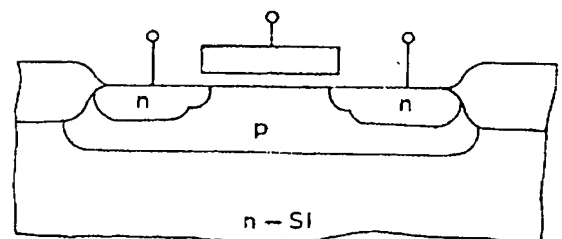
第 7 図



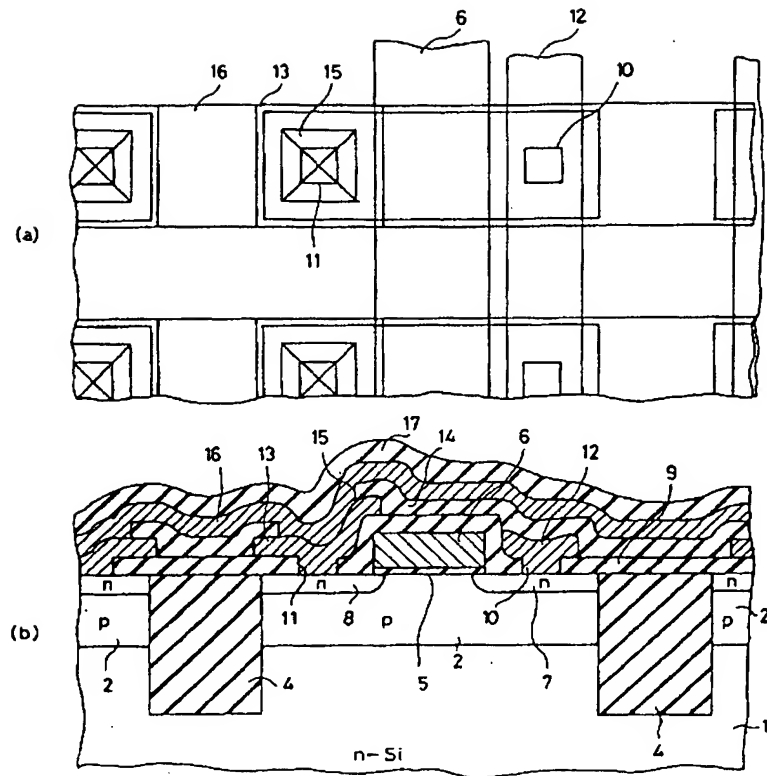
第 7 図



第 9 図



第 10 図



第 8 回